Logos系列FPGA器件数据手册

(DS02001，Version2.2)

(2020.10.18)

深圳市紫光同创电子有限公司

修订记录

日期	修订版本	描述
2017.12.19	V1.0	初始发布
2018.12.18	V1.1	1. 统一内核电压和辅助电源电压的符号，分别为VCC和VCCAUX 2. 修改表1 Logos系列FPGA用户指南文档，删除封装系列文档，增加《Logos系列产品HMEMC应用实例用户指南》 3. 修改章节3.2的上电顺序图
2019.1.23	V1.2	1. 更新表6-器件绝对极限电压的各参数最小值； 2. 更新表格的域和说明
2019.6.3	V1.3	1. 更新产品特性说明； 2. FPGA资源数量表项； 3. 更新封装信息与用户IO数量表项； 4. 删除HSST相关内容； 5. 热插拔直流特性表项； 6. 更新IO直流特性相关表项； 7. 更新交流特性相关表项； 8. 更新典型工作条件下性能参数相关表项 9. 补充缩略语清单
2019.9.25	V1.4	1. 统一电源电压的符号； 2. 更新了fpga产品特性； 3. 更新了资源规模、封装信息以及用户IO数量表项，增加了PGL25G相关信息； 4. 更新了ddr、时钟、配置简要描述； 5. 增加了PGL25G器件工作条件； 6. 增加了PGL25G输入、输出以及输入输出IO电平标准表项； 7. 更新了lvds性能特性、存储接口性能参数
2019.12.16	V1.5	1、 修改表格9，删掉VCCEFUSE、VCCIOCFG两行 2、 在DRM描述中增加了PGL12G不支持ROM的功能
2020.1.3	V1.6	1、修改表1和表2
2020.3.3	V1.7	1、 修改表7，增多注意信息 2、 修改表17、18
2020.3.9	V1.8	1、 修改1.3.2 DRAM描述 2、 修改1.3.5 硬核和软核的描述 3、 修改章节3、4、5标题 4、 修改表21、27、29、30、31、32、35 5、 修改图2
2020.3.26	V1.9	1、增加输入AC过冲极限值

2020.4.23	V2.0	1、1.1章节增加了注（2）
2020.8.13	V2.1	1、 增加了PGL50H数据 2、 MIPI 性能指标
2020.10.18	V2.2	1、增加PGL50G数据

目 录

表目录

图目录

缩略语清单：　对本文所用缩略语进行说明，要求提供每个缩略语的英文全名和中文解释

Abbreviations 缩略语	**Full Spelling 英文全拼**	**Chinese Explanation 中文解释**
CLM	Configurable Logic Module	可配置逻辑模块
DRM	Dedicated RAM Module	专用RAM存储模块
APM	Arithmetic Process Module	算术处理单元
HMEMC	Hard Memory Controller	硬核存储控制器，包含DDRC和DDR PHY
DDRC	Double Data Rate Controller	内存控制器
DDR	Double Data Rate	双倍速率同步动态随机存储器
ADC	Analog to Digital Converter	模数转换器
PLL	Phase Locked Loop	锁相环
	Hot-Socketing	热插拔
ESD	Electro Static Discharge	静电释放

本文主要包括深圳市紫光同创电子有限公司（以下简称紫光同创）Logos系列 FPGA 器件的特性概要描述、产品型号与资源规模列表、交流、直流特性等内容，用户可以通过本文了解Logos系列FPGA器件特性，方便进行器件选型。

1 Logos系列FPGA概述

Logos系列可编程逻辑器件是深圳市紫光同创电子有限公司推出的全新低功耗、低成本FPGA产品，它采用了完全自主产权的体系结构和主流的40nm工艺。Logos系列FPGA包含创新的可配置逻辑模块（CLM）、专用的18Kb存储单元（DRM）、算术处理单元（APM）、多功能高性能IO以及丰富的片上时钟资源等模块，并集成了存储控制器（HMEMC）、模数转换模块（ADC）等硬核资源，支持多种配置模式，同时提供位流加密、器件ID（UID）等功能以保护用户的设计安全。基于以上特点，Logos系列FPGA能够广泛适用于视频、工业控制、汽车电子和消费电子等多个应用领域。

1.1 Logos系列FPGA产品特性

- **低成本、低功耗**
  - 低功耗、成熟的 40nm CMOS 工艺
  - 低至 1.1V 的内核电压
- **支持多种标准的IO**
  - 多达 308 个用户 IO，支持 1.2V、1.5V、1.8V、2.5V、3.3V IO 标准
  - 支持 HSTL、SSTL 存储接口标准
  - 支持 MIPI D-PHY 接口标准
  - 支持 LVDS、MINI-LVDS、SUB-LVDS、SLVS（MIPI 二线电平标准）、TMDS（应用于 HDMI、DVI 接口）等差分标准
  - 可编程的 IO BUFFER，高性能的 IO LOGIC
- **灵活的可编程逻辑模块CLM**
  - LUT5 逻辑结构
  - 每个 CLM 包含 4 个多功能 LUT5、6 个寄存器
  - 支持快速算术进位逻辑
  - 支持分布式 RAM 模式
  - 支持级联链
- **支持多种读写模式的DRM**
  - 单个 DRM 提供 18Kb 存储空间，可配置为 2 个独立的 9Kb 存储块
  - 支持多种工作模式，包括单口（SP）RAM、双口（DP）RAM、简单双口（SDP）RAM、ROM 以及 FIFO 模式
  - 双口 RAM 和简单双口 RAM 支持双端口混合数据位宽
  - 支持 Normal-Write，Transparent-Write 以及 Read-before-Write(1)写模式
  - 支持 Byte-Write 功能

- **高效的算术处理单元APM**
  - 每个 APM 支持 1 个 18*18 运算或 2 个 9*9 运算
  - 支持输入、输出寄存器
  - 支持 48bit 累加器
  - 支持“Signed”以及“Unsigned”数据运算
- **集成存储控制器硬核HMEMC**
  - 支持 DDR2、DDR3、LPDDR
  - 单个 HMEMC 支持 x8、x16 数据位宽
  - 支持标准的 AXI4 总线协议
  - 支持 DDR3 write leveling 和 DQS gate training
  - DDR3 最高速率达 800Mbps
- **集成ADC硬核**
  - 10bit 分辨率、1MSPS(独立 ADC 工作)采样率
  - 多达 12 个输入通道
  - 集成温度传感器
- **丰富的时钟资源**
  - 支持 3 类时钟网络，可灵活配置
  - 基于区域的全局时钟网络
  - 每个区域有 4 个区域时钟，支持垂直级联
  - 高速 IO 时钟，支持 IO 时钟分频
  - 可选的数据地址锁存、输出寄存器
  - 集成多个 PLL，每个 PLL 支持多达 5 个时钟输出
- **灵活的配置方式**
  - 支持多种编程模式
  - JTAG 模式符合 IEEE 1149 和 IEEE 1532 标准
  - Master SPI 可选择最高 8bit 数据位宽，有效提高编程速度
  - 支持 BPI x8/x16、Serial slave、Parallel slave 模式
  - 支持 AES-256 位流加密(2)，支持 64bit UID 保护
  - 支持 SEU 检错纠错
  - 支持多版本位流回退功能
  - 支持看门狗超时检测
  - 支持编程下载
  - 支持在线调试

注(1)：不支持两个端口同时配置为 Read-before-Write 模式

注(2)：PGL25G 不支持 AES-256 位流加密

1.2 Logos系列FPGA资源规模与封装信息

Logos系列FPGA资源规模与封装信息如表 1和表 2所示。

表 1 Logos FPGA资源数量

器件	CLM[1,2]				18Kb DRM（个）	APM（个）	PLL（个）	ADC（个）	HMEMC（个）	MAX USER IO（个）	SD RAM
	LUT5（个）	等效LUT4（个）	FF（个）	Distributed RAM（bits）							
PGL12G	10400	12480	15600	84480	30	20	4	1	0	160	0
PGL22G	17536	21043	26304	71040	48	30	6	1	2	240	0
PGL22GS[3]	17536	21043	26304	71040	48	30	6	0	0	140	1
PGL25G	22560	27072	33840	242176	60	40	4	0	0	308	0
PGL50G	42800	51360	64200	544000	134	84	5	0	0	341	0
PGL50H	42800	51360	64200	544000	134	84	5	0	0	304	0

注1：每个CLM包含4个多功能LUT5和6个寄存器；每个多功能LUT5等效为1.2个LUT4
注2：芯片中的CLM包括CLMA和CLMS，仅CLMS可配置为Distributed RAM。
注3：PGL22GS-176包含最大IO数量为140，其中包括68对差分对和4个单端IO；MAX USER IO 140个表示芯片外部可用IO管脚，芯片内部额外包含与SDRAM连接的管脚。

表 2 Logos FPGA封装信息与用户IO数量

封装	FBG256	FBG484	MBG484	MBG324	LPG176	LPG144
尺寸（mm）	17×17	23×23	19×19	15×15	22x22	22x22
Pitch（mm）	1.0	1.0	0.8	0.8	0.4	0.5
器件	User IO	User IO	User IO	User IO	User IO	User IO
PGL12G	160	-	-	-	-	103
PGL22G	186	-	-	240	-	-
PGL22GS	-	-	-	-	140	-
PGL25G	186	308	-	226	-	-
PGL50G	-	332	341	218	-	-
PGL50H	-	296	304	190	-	-

1.3 Logos系列FPGA简要描述

1.3.1 CLM

CLM（Configurable Logic Module，可配置逻辑模块）是Logos系列产品的基本逻辑单元，它主要由多功能LUT5，寄存器以及扩展功能选择器等组成。CLM在Logos系列产品中按列分布，有CLMA和CLMS 两种形态。CLMA和CLMS均支持逻辑功能，算术功能以及寄存器功能，仅有CLMS支持分布式RAM功能。CLM与CLM之间，CLM与其它片内资源之间通过信号互连模块联结。

每个CLMA包含4个LUT5、6个寄存器、多个扩展功能选择器、以及4条独立的级联链等。CLMS是CLMA的扩展，它在支持CLMA所有功能的基础上增加了对分布式RAM的支持。CLMS可配置为单口 RAM或者简单双口RAM。

1.3.2 DRM

单个DRM有18K bits存储单元，可以独立配置2个9K或1个18K，其支持多种工作模式，包括双口RAM，简单双口 RAM，单口RAM或ROM模式，以及FIFO模式。DRM支持可配置的数据位宽，并在DP RAM和SDP RAM模式下支持双端口混合数据位宽。对于PGL12G，不支持ROM。详细的DRM使用可参考《Logos系列FPGA专用RAM模块（DRM）用户指南》。

1.3.3 APM

每个APM由I/O Unit, Preadder, Mult和Postadder功能单元组成，支持每一级寄存器流水。每一个APM可实现1个18*18乘法器或两个9*9乘法器，支持预加功能；可实现1个48bit累加器或2个24bit累加器。Logos FPGA的APM支持级联，可实现滤波器以及高位宽乘法器应用。

1.3.4 Input/Output

IOB

Logos FPGA的IO按照Bank分布，每个Bank由独立的IO电源供电。IO灵活可配置，支持1.2V~3.3V电源电压以及不同的单端和差分接口标准，以适应不同的应用场景。所有的用户IO都是双向的，内含IBUF、OBUF以及三态控制TBUF。Logos FPGA的IOB功能强大，可灵活配置接口标准、输出驱动、Slew Rate、输入迟滞等。详细的IO特性及使用方法可参考《Logos系列FPGA输入输出接口（IO）用户指南》。

IOL

IOL模块位于IOB和core之间，对要输入和输出FPGA Core的信号进行管理。

IOL支持各种高速接口，除了支持数据直接输入输出、IO寄存器输入输出模式外，还支持以下功能：

- ISERDES：针对高速接口，支持1:2；1:4；1:7；1:8的输入串并转换器。
- OSERDES：针对高速接口，支持2:1；4:1；7:1；8:1的输出并串转换器。
- 内置IO延迟功能，可以动/静态调整输入/出延迟。
- 内置输入FIFO，主要用于完成从外部非连续DQS（针对DDR memory interface）到内部连续时钟的时钟域转换和一些特殊的Generic DDR应用中采样时钟和内部时钟的相差补偿。

1.3.5 Memory Controller System

PGL DDR Memory Controller System 为用户提供一套完整的DDR memory控制器解决方案，配置方式比较灵活。

PGL22G集成了HMEMC，有如下特点：

- 支持LPDDR，DDR2，DDR3
- 支持x8、x16 Memory Device
- 支持标准的AXI4总线协议（burst type不支持fixed）
- 一共三个AXI4 Host Port, 1个128bit,两个64bit
- 支持 AXI4 Read Reordering
- 支持 BANK Management
- 支持Low Power Mode，Self_refresh，Power down，Deep Power Down
- 支持Bypass DDRC、支持Bypass HMEMC
- 支持DDR3 Write Leveling 和DQS Gate Training
- DDR3最快速率达800 Mbps

PGL12G、PGL25G、PGL50G、PGL50H只能采用软核实现DDR memory的控制，有如下特点：

- 支持DDR3
- 支持x8、x16 Memory Device
- 最大位宽支持16 bit
- 支持裁剪的AXI4总线协议
- 一个AXI4 128bit Host Port
- 支持Self_refresh，Power down
- 支持Bypass DDRC
- 支持DDR3 Write Leveling 和DQS Gate Training
- DDR3最快速率达800 Mbps

1.3.6 ADC

每个ADC分辨率为10bit、采样率为1MSPS，有12个Channels，其中10个Analog Input与GPIO复用，另外2个采用专用模拟输入引脚。12个Channels的扫描方式完全由FPGA灵活控制，用户可以通过User Logic决定最终由几个Channels分享1MSPS的ADC采样率。

ADC提供对片上电压及温度的监测功能。可对VCC、VCCAUX、VDDM（内部LDO输出电压）进行检测；详细特性参数见表 40。

1.3.7 时钟资源

Logos系列产品被划分为不同数量的区域，提供了丰富的片上时钟资源，包含PLL以及三类时钟网络：全局时钟、区域时钟、I/O时钟。其中IO时钟相比其他时钟具有频率高、时钟偏移小以及延时时间小的特点。时钟资源详见表 3。

表 3 Logos系列产品时钟资源

特性	PGL12G	PGL22G	PGL25G	PGL50H PGL50G
区域数量	4	6	4	6
全局时钟数	20	20	20	30
每个区域支持全局时钟数	16	12	16	16
每个区域支持局域时钟数	4	4	4	4
IO BANK数	4	6	4	4
每个IO BANK支持IO时钟数	2	2	4	BANK0/2 ： 4 BANK1/3 ： 6
总IO时钟数	8	12	16	20
PLL数量	4	6	4	5

Logos FPGA内嵌多个PLL，每个PLL多达5个时钟输出,支持频率综合、相位调整、动态配置、支持源同步、零延时缓冲等模式，另外，PLL支持Power Down，如果在某一段时间内不使用PLL，用户可以关闭PLL以达到降低功耗的目的。

为了提高时钟的性能，Logos FPGA还提供了CLK相关的特殊IO，包括四类：时钟输入管脚、PLL参考时钟输入管脚、PLL反馈输入时钟管脚以及PLL时钟输出管脚。和普通IO相比，使用这些时钟输入/输出管脚可以避免普通布线资源带来的干扰，从而得到较好的时钟性能。不作为时钟输入/输出时，这些时钟管脚可作为普通IO使用。关于时钟具体使用详情见《Logos系列FPGA时钟资源（Clock）用户指南》。

1.3.8 配置

配置（configuration）是对FPGA进行编程的过程。Logos FPGA使用SRAM单元存储配置数据，每次上电后都需要重新配置；配置数据可以由芯片主动从外部flash获取，也可通过外部处理器或控制器将配置数据下载到芯片中。

Logos FPGA支持多种配置模式，包括JTAG模式、SPI Master模式、SPI Slave模式、Parallel Slave模式、Serial Slave模式和主BPI模式。各个器件支持的配置模式如下表 4。

表 4 配置模式

<table>
<tr><th rowspan="2">模式</th><th rowspan="2">数据
位宽</th><th colspan="2">PGL12G</th><th colspan="2">PGL22G</th><th>PGL22GS</th><th>PGL25G</th><th>PGL50H
PGL50G</th></tr>
<tr><th>LPG144</th><th>FBG256</th><th>FBG256</th><th>MBG324</th><th>LPG176</th><th>FBG256
MBG324
FBG484</th><th>FBG484
MBG484
MBG324</th></tr>
<tr><td>JTAG</td><td>1</td><td>支持</td><td>支持</td><td>支持</td><td>支持</td><td>支持</td><td>支持</td><td>支持</td></tr>
<tr><td rowspan="4">SPIMaster</td><td>1</td><td>不支持</td><td>支持</td><td>支持</td><td>支持</td><td>支持</td><td>支持</td><td>支持</td></tr>
<tr><td>2</td><td>不支持</td><td>支持</td><td>支持</td><td>支持</td><td>支持</td><td>支持</td><td>支持</td></tr>
<tr><td>4</td><td>不支持</td><td>支持</td><td>支持</td><td>支持</td><td>支持</td><td>支持</td><td>支持</td></tr>
<tr><td>8</td><td>不支持</td><td>支持</td><td>支持</td><td>支持</td><td>支持</td><td>不支持</td><td>不支持</td></tr>
<tr><td>SPI Slave</td><td>1</td><td>支持</td><td>支持</td><td>支持</td><td>支持</td><td>不支持</td><td>不支持</td><td>不支持</td></tr>
<tr><td rowspan="3">ParallelSlave</td><td>8</td><td>支持</td><td>支持</td><td>支持</td><td>支持</td><td>不支持</td><td>支持</td><td>支持</td></tr>
<tr><td>16</td><td>支持</td><td>支持</td><td>支持</td><td>支持</td><td>不支持</td><td>支持</td><td>支持</td></tr>
<tr><td>32</td><td>支持</td><td>支持</td><td>不支持</td><td>支持</td><td>不支持</td><td>不支持</td><td>不支持</td></tr>
<tr><td>SerialSlave</td><td>1</td><td>支持</td><td>支持</td><td>支持</td><td>支持</td><td>不支持</td><td>支持</td><td>支持</td></tr>
<tr><td rowspan="3">BPI Master</td><td>8（异步）</td><td>不支持</td><td>不支持</td><td>不支持</td><td>支持</td><td>不支持</td><td>支持</td><td>支持</td></tr>
<tr><td>16(异步)</td><td>不支持</td><td>不支持</td><td>不支持</td><td>支持</td><td>不支持</td><td>支持</td><td>支持</td></tr>
<tr><td>16(同步)</td><td>不支持</td><td>不支持</td><td>不支持</td><td>支持</td><td>不支持</td><td>不支持</td><td>不支持</td></tr>
</table>

Logos FPGA的配置相关功能如下所述：

- 支持配置数据流压缩，可有效减小 bit 流的大小，节约存储空间和编程时间
- 支持通过 JTAG 接口、从并行接口进行 SEU 1bit 纠错和 2bit 检错
- 支持看门狗超时检测功能
- 在主 BPI/主 SPI 模式下，支持配置位流版本回退功能

为保护用户设计，Logos FPGA还提供UID功能。每一个FPGA器件都有一个与之对应的唯一编号，该编号在器件出厂的时候已经唯一确定。用户可以通过UID接口和JTAG接口读取，并且以自己特有的加密算法处理后将得到的结果并入编程数据流。每一次重载数据流后，FPGA进入用户模式，用户逻辑都会先读取该UID以用户独特的加密算法处理后与之前编程数据流中的结果相比对，若有不同，则FPGA无法正常工作。

Logos系列FPGA参考资料

1.3小节对Logos FPGA各模块以及时钟和配置系统做了简要描述，要了解相应模块的详细信息，请查阅Logos FPGA相关的用户指南文档，见下表 5。

表 5 Logos系列FPGA用户指南文档

文档编号	文档名称	文档内容
UG020001	《Logos系列FPGA可配置逻辑模块（CLM）用户指南》	Logos系列FPGA可配置逻辑模块功能描述
UG020002	《Logos系列FPGA专用RAM模块（DRM）用户指南》	Logos系列FPGA专用RAM模块功能描述
UG020003	《Logos系列FPGA算术处理模块（APM）用户指南》	Logos系列FPGA算术处理模块功能描述
UG020004	《Logos系列FPGA时钟资源（Clock）用户指南》	Logos系列FPGA时钟资源，包括PLL的功能与用法描述
UG020005	《Logos系列FPGA配置（configuration）用户指南》	Logos系列FPGA配置接口、配置模式、配置过程等的描述
UG020006	《Logos系列FPGA输入输出接口（IO）用户指南》	Logos系列FPGA输入输出接口功能描述
UG020009	《Logos系列FPGA模数转换模块（ADC）用户指南》	Logos系列FPGA模数转换器功能描述
UG020011	《Logos系列产品HMEMC应用实例用户指南》	Logos系列FPGA存储控制系统应用实例描述
UG020013	《UG020013_Logos系列FPGA高速串行收发器（HSST）用户指南》	Logos系列FPGA高速串行收发器应用描述

1.4 Logos系列FPGA订货信息

Logos系列FPGA产品型号的编号内容及意义如图1所示。

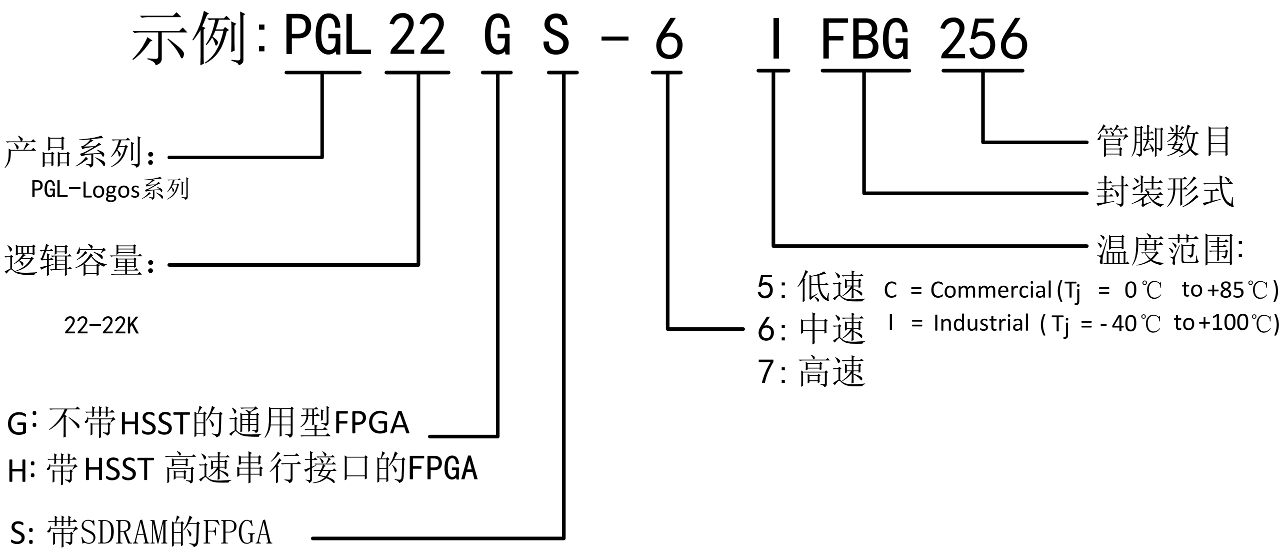


图 1 Logos系列FPGA产品型号的编号内容及意义

产品质量等级说明如下表 6所示。

表 6 产品质量等级说明

产品系列	器件	速度等级和温度范围	
		Commercial (C) 0℃ to 85℃	Industrial (I) -40℃ to 100℃
Logos	PGL12G	-6C	-6I
	PGL22G	-6C	-6I
	PGL25G	-6C	-6I
	PGL50G	-6C	-6I
	PGL50H	-6C	-6I

2 工作条件

2.1 器件绝对极限电压

表 7 器件最大绝对电压值

名称	描述	最小值	最大值	单位
VCC	内核电源电压	-0.16	1.32	V
VCCAUX	辅助电源电压（给IOB、LDO等供电）	-0.16	3.63	V
VCCAUX_A	辅助电源电压（给ADC、POR、Bandgap等供电）	-0.16	3.63	V
VCCIO	BANK IO电源电压	-0.16	3.63	V
VCCEFUSE	Efuse编程电压	-0.16	3.63	V
VCCIOCFG	BANKCFG电源电压	-0.16	3.63	V
V_I	直流输入电压	-0.16	3.63	V

注：超过上述极限额定值可能导致器件永久性损坏。在额定值下操作不会损坏器件，但不表示器件在此极限值下功能正常。器件长期在极限条件下工作，会严重影响器件的可靠性。

2.2 输入AC过冲极限值

输入PIN	过冲电压	规格	温度	条件	极限值	单位
I/O输入电压，相对于地	OVERSHOOT	工业	100℃	DC	4.02	V
				55%	4.07	V
				30%	4.12	V
				17%	4.17	V
				9.5%	4.22	V
				5.5%	4.27	V
				3.1%	4.32	V
				1.7%	4.37	V
				1.0%	4.42	V
				0.5%	4.47	V
				0.3%	4.52	V
				0.2%	4.57	V
				0.1%	4.62	V
	UNDERSHOOT	工业	100℃	DC	-0.16	V
				72%	-0.21	V
				55%	-0.26	V
				40%	-0.31	V
				30%	-0.36	V
				22%	-0.41	V
				17%	-0.46	V
				12%	-0.51	V
				10%	-0.56	V
				8%	-0.61	V
				6%	-0.66	V
				4%	-0.71	V
				3%	-0.76	V

2.3 器件推荐工作条件

表 8 PGL12G、PGL22G推荐工作条件

名称	描述	最小值	典型值	最大值	单位
VCC	内核电源电压	1.045	1.1	1.155	V
VCCAUX	辅助电源电压（给IOB、LDO等供电）	3.135	3.3	3.465	V
VCCAUX_A	辅助电源电压（给ADC、POR、Bandgap等供电）	3.135	3.3	3.465	V
VCCIO	BANK IO电源电压	1.14	--	3.465	V
VCCEFUSE	Efuse编程电压	3.135	3.3	3.465	V
VCCIOCFG	BANKCFG电源电压	1.425	--	3.465	V
T_J（商业级）	商业级芯片工作温度	0	--	85	℃
T_J（工业级）	工业级芯片工作温度	-40	--	100	℃

注：推荐工作电压在典型工作电压偏离±5%范围内。

表 9 PGL25G、PGL50G推荐工作条件

名称	描述	最小值	典型值	最大值	单位
VCC	内核电源电压	1.14	1.2	1.26	V
VCCAUX	辅助电源电压，包含BANK配置电压、Efuse编程电压等	3.135	3.3	3.465	V
VCCIO	BANK IO电源电压	1.14	--	3.465	V
T_J（商业级）	商业级芯片工作温度	0	--	85	℃
T_J（工业级）	工业级芯片工作温度	-40	--	100	℃

注：推荐工作电压在典型工作电压偏离±5%范围内。

表 10 PGL50H推荐工作条件

名称	描述	最小值	典型值	最大值	单位
VCC	内核电源电压	1.14	1.2	1.26	V
VCCAUX	辅助电源电压，包含BANK配置电压等	3.135	3.3	3.465	V
VCCIO	BANK IO电源电压	1.14	--	3.465	V
T_J（商业级）	商业级芯片工作温度	0	--	85	℃
T_J（工业级）	工业级芯片工作温度	-40	--	100	℃

注：推荐工作电压在典型工作电压偏离±5%范围内。

2.4 ESD（HBM，CDM），Latch Up指标

表 11 ESD、Latch-Up指标

Human Body Model（HBM）	**Charge Device Model（CDM）**	**Latch-up**
±2000V	±500V	±100mA

3 直流特性

3.1 Hot-Socketing直流特性

表 12 热插拔直流特性

参数符号	参数描述	条件（clamp功能关闭）	最小值	典型值	最大值	注释
I_{DK}	最大泄漏电流	–0.5V < V_{IN} < $VCCIO_{MAX}$ 0V < VCC < VCC (max), 0V < VCCIO < VCCIO (max), 0V < VCCAUX < VCCAUX (max)	-	-	+/-1mA	每一个pad

注1：Vtp 为PMOS的阈值电压绝对值

LOGOS 系列器件支持热插拔二级。

3.2 IO输入输出直流特性

各单端IO电平标准输入输出电压范围如下表 13。

表 13 单端IO电平标准输入输出电压范围

单端IO	VIL(V)		VIH(V)		VOL (V)	VOH(V)
	最小值	最大值	最小值	最大值	最大值	最小值
LVTLL33 LVCMOS33	-0.3	0.8	2	3.465	0.4	VCCIO-0.4
LVCMOS25	-0.3	0.7	1.7	3.465	0.4	VCCIO-0.4
LVCMOS18	-0.3	0.35VCCIO	0.65VCCIO	3.465	0.4	VCCIO-0.4
LVCMOS15	-0.3	0.35VCCIO	0.65VCCIO	3.465	0.4	VCCIO_0.4
LVCMOS12	-0.3	0.35VCCIO	0.65VCCIO	3.465	0.4	VCCIO-0.4
SSTL25_I	-0.3	VREF -0.18	VREF +0.18	3.465	0.54	VCCIO-0.62
SSTL25_II	-0.3	VREF -0.18	VREF +0.18	3.465	0.35	VCCIO-0.43
SSTL18_I	-0.3	VREF -0.125	VREF +0.125	3.465	0. 4	VCCIO-0.4
SSTL18_II	-0.3	VREF -0.125	VREF +0.125	3.465	0.28	VCCIO-0.28
SSTL15_I SSTL15_I _DCI	-0.3	VREF-0.1	VREF+0.1	3.465	0.31	VCCIO-0.31
SSTL15_II SSTL15_II_DCI	-0.3	VREF-0.1	VREF+0.1	3.465	0.31	VCCIO-0.31
HSTL18_I	-0.3	VREF-0.1	VREF+0.1	3.465	0. 4	VCCIO-0.4
HSTL18_II	-0.3	VREF-0.1	VREF+0.1	3.465	0. 4	VCCIO-0.4
HSTL15_I HSTL15_I_DCI	-0.3	VREF-0.1	VREF+0.1	3.465	0. 4	VCCIO-0.4

注：仅PGL22G支持DCI

各单端IO电平标准输出电流见下表。

表 14 单端IO电平标准输出电流

单端IO	IOL(mA)	IOH(mA)	VREF(V)	VTT(V)
LVTTL LVCMOS33	4	-4	-	-
	8	-8	-	-
	12	-12	-	-
	16	-16	-	-
	24	-24	-	-
LVCMOS25	4	-4	-	-
	8	-8	-	-
	12	-12	-	-
	16	-16	-	-
LVCMOS18	4	-4	-	-
	8	-8	-	-
	12	-12	-	-
LVCMOS15	4	-4	-	-
	8	-8	-	-
LVCMOS12	2	-2	-	-
	6	-6	-	-
SSTL25_I	8.1	-8.1	0.45VCCIO 0.5VCCIO 0.55VCCIO	0.5VCCIO
SSTL25_II	16.2	-16.2	0.45VCCIO 0.5VCCIO 0.55VCCIO	0.5VCCIO
SSTL18_I	6.7	-6.7	0.45VCCIO 0.5VCCIO 0.55VCCIO	0.5VCCIO
SSTL18_II	13.4	-13.4	0.45VCCIO 0.5VCCIO 0.55VCCIO	0.5VCCIO
SSTL15_I SSTL15_I_DCI	7.5	-7.5	0.45VCCIO 0.5VCCIO 0.55VCCIO	0.5VCCIO
SSTL15_II SSTL15_II_DCI	8.8	-8.8	0.45VCCIO 0.5VCCIO 0.55VCCIO	0.5VCCIO
HSTL18_I	8	-8	0.45VCCIO 0.5VCCIO 0.55VCCIO	0.5VCCIO
HSTL18_II	16	-16	0.45VCCIO 0.5VCCIO 0.55VCCIO	0.5VCCIO
HSTL15_I HSTL15_I_DCI	8	-8	0.45VCCIO 0.5VCCIO 0.55VCCIO	0.5VCCIO

注：仅PGL22G支持DCI，PGL22GS_LPG176 L0 BANK不支持用到VREF的所有电平标准。

表 15 输入IO电平标准的BANK支持说明

输入	模式	IO标准	器件					
			PGL22G		PGL12G		PGL25G/PGL50G/ PGL50H	
			BANKL0, BANKL1, BANKL2	BANKR0, BANKR1, BANKR2	BANKL0, BANKL1	BANKR0, BANKR1	BANK0, BANK2	BANK1, BANK3
	单端	LVCMOS12 LVCMOS15 LVCMOS18 LVCMOS25 LVCMOS33 SSTL15_I SSTL15_II SSLT18_I SSTL18_II SSTL25_I SSTL25_II	支持	支持	支持	支持	支持	支持
		SSTL15_I_DCI SSTL15_II_DCI HSTL15_I_DCI	支持	支持	不支持	不支持	不支持	不支持
	差分	LVPECL33 LVDS25 SLVS MINI-LVDS SUB-LVDS TMDS RSDS PPDS TMDS SSTL15D_I SSTL15D_II HSTL15D_I MIPI	支持	支持	支持	支持	支持	支持
		SSTL15D_I_DCI SSTL15D_II_DCI HSTL15D_I_DCI	支持	支持	不支持	不支持	不支持	不支持

表 16 输出IO电平标准的BANK支持说明

输出	模式	IO标准	器件					
			PGL22G		PGL12G		PGL25G/PGL50G /PGL50H	
			BANKL0, BANKL1, BANKL2	BANKR0, BANKR1, BANKR2	BANKL0, BANKL1	BANKR0, BANKR1	BANK0, BANK2	BANK1, BANK3
	单端	LVCMOS12 LVCMOS15 LVCMOS18 LVCMOS25 LVCMOS33 SSTL15_I SSTL15_II SSLT18_I	支持	支持	支持	支持	支持	支持

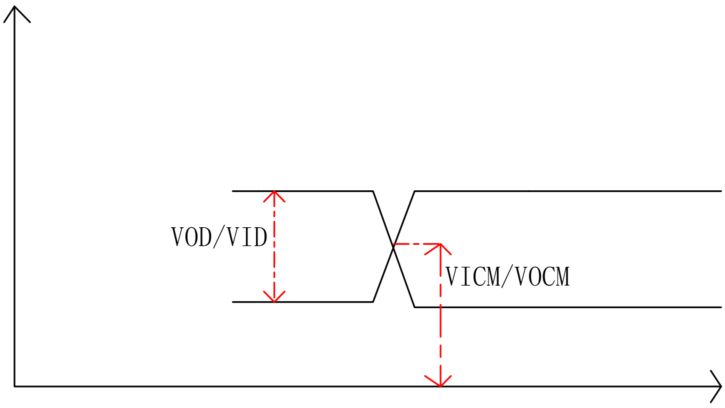
		SSTL18_II SSTL25_I SSTL25_II						
		SSTL15_I_DCI SSTL15_II_DCI HSTL15_I_DCI	支持	支持	不支持	不支持	不支持	不支持
	差分	LVDS25 SLVS MINI-LVDS SUB-LVDS TMDS	支持	支持	不支持	支持	支持	不支持
	类差分	PPDS RSDS LVPECL33	支持	支持	支持	支持	支持	支持

表 17 双向IO电平标准的BANK支持说明

双向	**模式**	**IO标准**	**器件**					
			PGL22G		**PGL12G**		**PGL25G/PGL50G /PGL50H**	
			BANKL0, BANKL1, BANKL2	BANKR0, BANKR1, BANKR2	BANKL0, BANKL1	BANKR0, BANKR1	BANK0, BANK2	BANK1, BANK3
	单端	LVCMOS12 LVCMOS15 LVCMOS18 LVCMOS25 LVCMOS33 SSTL15_I SSTL15_II SSTL18_I SSTL18_II SSTL25_I SSTL25_II	支持	支持	支持	支持	支持	支持
		SSTL15_I_DCI SSTL15_II_DCI HSTL15_I_DCI	支持	支持	不支持	不支持	不支持	不支持
	差分	LVDS25 MINI-LVDS SUB-LVDS SLVS TMDS	不支持	不支持	不支持	不支持	不支持	不支持
	类差分	SSTL15D_I SSTL15D_II HSTL15D_I SSTL18D_I SSTL18D_II SSTL25D_I SSTL25D_II LVPECL33 PPDS RSDS	支持	支持	支持	支持	支持	支持

		SSTL15D_I_DCI SSTL15D_II_DCI HSTL15D_I_DCI	支持	支持	不支持	不支持	不支持	不支持

差分IO电平标准的主要电气特性参数定义如下图，输入输出电压范围如表 18和表 19所示。



差分电气特性参数

表 18 差分输入标准的参数要求

标准	VICM			VID		
	输入共模电平 (V)			输入差模电平 (V)		
	min	typ	max	min	typ	max
LVDS25	0.5	1.2	1.9	0.1	0.35	0.5
MINI-LVDS	0.4	--	1.9	0.2	0.4	0.6
SUB-LVDS	0.6	0.9	1.2	0.08	0.1	0.2
SLVS	0.07	--	0.3	0.08	--	0.46
LVPECL33	0.5	--	1.9	0.3	--	1.1

表 19 差分输出标准的参数要求

标准	VOCM			VOD		
	输出共模电平 (V)			输出差模电平(V)		
	min	typ	max	min	typ	max
LVDS25	1	1.25	1.4	0.25	0.35	0.45
MINI-LVDS	1	1.2	1.4	0.3	--	0.6
SUB-LVDS	0.8	0.9	1	0.1	0.15	0.2
SLVS	0.15	0.2	0.25	0.14	0.2	0.27

4 交流特性

本章主要列出了Logos系列FPGA各逻辑单元在典型工作条件下的交流特性。

4.1 IO交流特性参数

IOB的开关特性如表 20所示。

表 20 IOB的输入输出延时

I/O标准	T_{IOPI}	T_{IOOP}	T_{IOTP}	单位
	-6	-6	-6	

LVTTL，4mA，Slow	1.50	2.86	2.86	ns
LVTTL，8mA，Slow	1.50	2.76	2.76	ns
LVTTL，12mA，Slow	1.50	2.66	2.66	ns
LVTTL，16mA，Slow	1.50	2.56	2.56	ns
LVTTL，24mA，Slow	1.50	2.46	2.46	ns
LVTTL，4mA，Fast	1.50	2.80	2.80	ns
LVTTL，8mA，Fast	1.50	2.70	2.70	ns
LVTTL，12mA，Fast	1.50	2.60	2.60	ns
LVTTL，16mA，Fast	1.50	2.50	2.50	ns
LVTTL，24mA，Fast	1.50	2.40	2.40	ns
LVCMOS33，4mA，Slow	1.50	2.86	2.86	ns
LVCMOS33，8mA，Slow	1.50	2.76	2.76	ns
LVCMOS33，12mA，Slow	1.50	2.66	2.66	ns
LVCMOS33，16mA，Slow	1.50	2.56	2.56	ns
LVCMOS33，24mA，Slow	1.50	2.46	2.46	ns
LVCMOS33，4mA，Fast	1.50	2.80	2.80	ns
LVCMOS33，8mA，Fast	1.50	2.70	2.70	ns
LVCMOS33，12mA，Fast	1.50	2.60	2.60	ns
LVCMOS33，16mA，Fast	1.50	2.50	2.50	ns
LVCMOS33，24mA，Fast	1.50	2.40	2.40	ns
LVCMOS25，4mA，Slow	1.80	2.96	2.96	ns
LVCMOS25，8mA，Slow	1.80	2.86	2.86	ns
LVCMOS25，12mA，Slow	1.80	2.76	2.76	ns
LVCMOS25，16mA，Slow	1.80	2.66	2.66	ns
LVCMOS25，4mA，Fast	1.80	2.90	2.90	ns
LVCMOS25，8mA，Fast	1.80	2.80	2.80	ns
LVCMOS25，12mA，Fast	1.80	2.70	2.70	ns
LVCMOS25，16mA，Fast	1.80	2.60	2.60	ns
LVCMOS18，4mA，Slow	2.90	3.26	3.26	ns
LVCMOS18，8mA，Slow	2.90	3.06	3.06	ns
LVCMOS18，12mA，Slow	2.90	2.86	2.86	ns
LVCMOS18，4mA，Fast	2.90	3.20	3.20	ns
LVCMOS18，8mA，Fast	2.90	3.00	3.00	ns
LVCMOS18，12mA，Fast	2.90	2.80	2.80	ns
LVCMOS15，4mA，Slow	3.60	3.36	3.36	ns
LVCMOS15，8mA，Slow	3.60	3.16	3.16	ns
LVCMOS15，4mA，Fast	3.60	3.30	3.30	ns
LVCMOS15，8mA，Fast	3.60	3.10	3.10	ns

续表 20 IOB的输入输出延时

I/O标准	T_{IOPI}	T_{IOOP}	T_{IOTP}	单位
	-6	-6	-6	
LVCMOS12，2mA，Slow	6.40	4.46	4.46	ns
LVCMOS12，6mA，Slow	6.40	3.66	3.66	ns
LVCMOS12，2mA，Fast	6.40	4.40	4.40	ns
LVCMOS12，6mA，Fast	6.40	3.60	3.60	ns
SSTL25_I	1.20	2.80	2.80	ns
SSTL25_II	1.20	2.80	2.80	ns
SSTL18_I	1.30	3.00	3.00	ns
SSTL18_II	1.30	3.00	3.00	ns
SSTL15_I	1.60	3.00	3.00	ns

SSTL15_II	1.60	3.00	3.00	ns
SSTL135	1.80	3.30	3.30	ns
HSTL18_I	1.30	3.00	3.00	ns
HSTL18_II	1.30	3.00	3.00	ns
HSTL15_I	1.60	3.00	3.00	ns
LVDS25	1.20	2.40	2.40	ns
MINI_LVDS	1.20	2.40	2.40	ns
SUB_LVDS	1.20	2.40	2.40	ns
SLVS	1.20	2.40	2.40	ns
TMDS	1.20	2.40	2.40	ns
PPDS	1.20	2.40	2.40	ns
LVPECL	1.20	2.40	2.40	ns
RSDS	1.20	2.40	2.40	ns
BLVDS	1.20	2.40	2.40	ns
SSTL25D_I	1.20	2.80	2.80	ns
SSTL25D_II	1.20	2.80	2.80	ns
SSTL18D_I	1.30	3.00	3.00	ns
SSTL18D_II	1.30	3.00	3.00	ns
SSTL15D_I	1.60	3.00	3.00	ns
SSTL15D_II	1.60	3.00	3.00	ns
SSTL135D	2.00	3.30	3.30	ns
HSTL18D_I	1.30	3.00	3.00	ns
HSTL18D_II	1.30	3.00	3.00	ns
HSTL15D_I	1.60	3.00	3.00	ns

T_{IOPI}：从IOB Pad经过IBUF到达IOBUFFER的DIN的延时。

T_{IOOP}：从IOBUFFER的DO经过OBUF到达IOB Pad的延时。

T_{IOTP}：从IOBUFFER的TO经过OBUF到达IOB Pad的延时。

表 21 IOB三态使能时的输出开关特性

类别	特性参数描述	速度等级	单位
		-6	
T_{IOTPHZ}	T input to Pad high-impedance	2.7	ns

注：T_{IOTPHZ}参数为三态使能时，从IOBUFFER的TO经过OBUF到达IOB Pad的延时。

IOL的交流特性如表 22至表 24所示。

表 22 IOL寄存器交流参数

类别	交流特性参数描述		数值 -6	单位	备注
IFF	Setup/Hold时间				
	CE -> CLK setup/hold	上升沿	0.131/-0.044	ns	
		下降沿	0.064/-0.031	ns	
	LRS -> CLK setup/hold	上升沿	0.277/-0.099	ns	
		下降沿	0.218/-0.089	ns	
	DIN -> CLK setup/hold	上升沿	0.053/-0.012	ns	
		下降沿	-0.004/-0.003	ns	
	组合逻辑延时				
	DIN -> RX_DATA_DD	0 -> 1	0.150	ns	bypass模式
		1 -> 0	0.150	ns	
	Sequential Delays时序延时				
	DIN -> RX_DATA	0 -> 1	0.237	ns	Latch模式
		1 -> 0	0.233	ns	
	CLK -> Q输出	0 -> 1	0.359	ns	
		1 -> 0	0.377	ns	
	LRS -> Q输出	0 -> 1	0.539	ns	
		1 -> 0	0.539	ns	
OFF/TSFF	Setup/Hold时间				
	TX_DATA -> CLK setup/hold	上升沿	0.143/-0.046	ns	
		下降沿	0.074/-0.032	ns	
	CE -> CLK setup/hold	上升沿	0.169/-0.058	ns	
		下降沿	0.123/-0.052	ns	
	TS_CTRL -> CLK setup/hold	上升沿	0.122/-0.058	ns	
		下降沿	0.074/-0.053	ns	
	Sequential Delays时序延时				
	TX_DATA -> DO	0 -> 1	0.362	ns	Latch模式
		1 -> 0	0.369	ns	
	CLK -> OFF的Q/TSFF的Q	0 -> 1	0.361	ns	
		1 -> 0	0.370	ns	
	LRS -> OFF的Q输出/TSFF的Q输出	0 -> 1	0.557	ns	
		1 -> 0	0.557	ns	

注：上表数据以PDS的时序报告为准

表 23 输入Deserializer开关参数

类别	特性参数描述		速度等级 -6	单位
IGDDR	信号Setup/Hold时间			
	PADI -> RCLK	上升沿	-0.001/0.022	ns
		下降沿	0.010/0.014	ns
	Sequential Delays时序延时			
	RCLK -> Q端	上升沿	0.259	ns
		下降沿	0.263	ns
	RCLK的最大频率		266	MHz

注：上表数据以PDS的时序报告为准

表 24 输出Serializer开关参数

类别	特性参数描述		速度等级	单位
			-6	
OGDDR	信号Setup/Hold时间			
	D -> RCLK	上升沿	0.209/-0.095	ns
		下降沿	0.181/-0.036	ns
	T -> RCLK	上升沿	0.221/-0.097	ns
		下降沿	0.183/-0.036	ns
	Sequential Delays时序延时			
	RCLK -> PADO端/PADT端	上升沿	0.633	ns
		下降沿	0.682	ns
	RCLK的最大频率		266	MHz

注：上表数据以PDS的时序报告为准

4.2 CLM交流特性参数

表 25 CLM模块交流特性

NO.	参数描述	数值	属性	单位
		-6		
逻辑延时				
1	LUT5 输入 Ax/Bx/Cx/Dx 到 Y0/Y1/Y2/Y3 delay	0.513	最大	ns
2	LUT5 输入 Ax/Bx/Cx/Dx 以及 M0/M1 到 Y6AB/Y6CD 的 delay	0.39	最大	ns
3	LUT5 输入 Ax/Bx/Cx/Dx 以及 M0/M1/M2 到 Y1(LUT7)的 delay	0.54	最大	ns
4	LUT5 输入 Ax/Bx/Cx/Dx 以及 M0/M1/M2/M3 到 Y3(LUT8)的 delay	0.585	最大	ns
5	LUT input Ax 到 cout 的 delay	0.37	最大	ns
6	LUT input Bx 到 cout 的 delay	0.387	最大	ns
7	LUT input Cx 到 cout 的 delay	0.436	最大	ns
8	LUT input Dx 到 cout 的 delay	0.431	最大	ns
9	CIN 输入到 cout 的 delay	0.201	最大	ns
10	CIN 输入到 Y0/Y1/Y2/Y3 的 delay	0.277	最大	ns
时序参数				
11	CLK 输入相对于 Q0/Q1/Q2/Q3 的 TCO	0.261	最大	ns
12	CLK 输入相对于 Y0(QP0)/Y2(QP1)的 TCO	0.325	最大	ns
13	Ax/Bx/Cx/Dx 相对于 DFF 的 setup/hold	0.049/-0.026	最小	ns
14	M 相对于 DFF 的 setup/hold	0.025/-0.003	最小	ns
15	CE 相对于 DFF 的 setup/hold	0.185/-0.162	最小	ns
16	RS 相对于 DFF 的 setup/hold	0.185/-0.162	最小	ns
17	CIN 相对于 DFF 的 setup/hold	0.0263/-0.004	最小	ns
18	SHIFTIN 相对于 DFF 的 setup/hold	0.185/-0.162	最小	ns
19	RS 的最小脉冲宽度	0.9	最小	ns
分布式 RAM 时序参数				
20	CLK -> Y0/Y1/Y2/Y3 mem read delay	0.72	最大	ns
21	CLK -> RS (as WE) timing check, setup/hold	0.185/-0.162	最小	ns
22	CLK -> M0/M1/M2/M3 address timing check, setup/hold	-0.208/0.232	最小	ns
23	CLK -> AD/BD/CD/DD data timing check, setup/hold	-0.208/0.232	最小	ns

4.3 DRM交流特性参数

表 26 DRM模块交流特性

类别	交流特性参数描述	数值	属性	单位
		-6		
Tco_9k	CLKA/CLKB->QA/QB (输出寄存器不使能，9K模式)	3.550	最大	ns
Tco_9k_reg	CLKA/CLKB->QA/QB (输出寄存器使能，9K模式)	0.957	最大	ns
Tco_18k	CLKA/CLKB->QA/QB (输出寄存器不使能，18K模式&FIFO模式)	3.580	最大	ns
Tco_18k_reg	CLKA/CLKB->QA/QB (输出寄存器使能，18K模式&FIFO模式)	0.990	最大	ns
Tco_flag_full	CLKA->FULL(ALMOST_FULL) Flag	1.260	最大	ns
Tco_flag_empty	CLKB->EMPTY(ALMOST_EMPTY) Flag	1.170	最大	ns
Tsu_9k_ad/ Thd_9k_ad	地址输入Setup/Hold time （9K模式）	-0.130/0.184	最小	ns
Tsu_9k_d/ Thd_9k_d	数据输入Setup/Hold time （9K模式）	-0.096/0.149	最小	ns
Tsu_9k_ce/ Thd_9k_ce	CE输入Setup/Hold time （9K模式）	0.070/-0.018	最小	ns
Tsu_9k_we/ Thd_9k_we	WE输入Setup/Hold time （9K模式）	0.028/-0.026	最小	ns
Tsu_9k_be/ Thd_9k_be	BE输入Setup/Hold time （9K模式）	-0.031/0.085	最小	ns
Tsu_9k_oe/ Thd_9k_oe	OCE输入Setup/Hold time （9K模式）	-0.040/0.086	最小	ns
Tsu_9k_rst/ Thd_9k_rst	同步复位输入Setup/Hold time （9K模式）	0.022/0.023	最小	ns
Tsu_18k_ad/ Thd_18k_ad	地址输入Setup/Hold time （18k模式）	-0.196/0.250	最小	ns
Tsu_18k_d/ Thd_18k_d	数据输入Setup/Hold time （18k模式）	-0.103/0.157	最小	ns
Tsu_18k_ce/ Thd_18k_ce	CE输入Setup/Hold time （18k模式）	0.061/-0.010	最小	ns
Tsu_18k_we/ Thd_18k_we	WE输入Setup/Hold time （18k模式）	0.040/0.013	最小	ns
Tsu_18k_be/ Thd_18k_be	BE输入Setup/Hold time （18k模式）	0.042/0.012	最小	ns
Tsu_18k_oe/ Thd_18k_oe	OCE输入Setup/Hold time （18k模式）	-0.056/0.092	最小	ns
Tsu_18k_rst/ Thd_18k_rst	同步复位输入Setup/Hold time （18k模式）	0.038/0.008	最小	ns
Tsu_fifo_wctl/ Thd_fifo_wctl	WREOP(WRERR)输入 Setup/Hold time	0.083/-0.037	最小	ns
Tsu_fifo_rctl/ Thd_fifo_rctl	RDNAK输入 Setup/Hold time	0.058/-0.013	最小	ns
Tmpw_norm	CLKA/CLKB MPW（NW/TW）	1.643	最小	ns
Tmpw_rbw	CLKA/CLKB MPW（RBW）	2.350	最小	ns
Tmpw_fifo	CLKA/CLKB MPW（FIFO）	1.766	最小	ns

注：上表数据以PDS的时序报告为准

4.4 APM交流特性参数

表 27 APM模块交流特性

交流特性参数描述	Pre-adder	Multiplier	Post-adder	数值	单位
				-6	
数据/控制Pin到输入register clk的setup和hold时间					
Z -> preadd unit register CLK setup/hold	Yes	NA	NA	2.638/-0.712	ns
X -> preadd unit register CLK setup/hold	Yes	NA	NA	2.604/-0.526	ns
Z-> input unit register CLK setup/hold	NA	NA	NA	0.850/-0.088	ns
X-> input unit register CLK setup/hold	NA	NA	NA	0.871/-0.99	ns
Y-> input unit register CLK setup/hold	NA	NA	NA	0.876/-0.086	ns
MODEX-> preadd unit register CLK setup/hold	Yes	NA	NA	1.422/-0.368	ns
数据Pin到pipeline register clk的setup和hold时间					
Y-> Multiplier unit register CLK setup/hold	NA	Yes	No	1.911/-0.381	ns
X-> Multiplier unit register CLK setup/hold	Yes	Yes	No	2.415 / -0.593	ns
X-> Multiplier unit register CLK setup/hold	No	Yes	No	1.924 / -0.443	ns
Z-> Multiplier unit register CLK setup/hold	Yes	Yes	No	2.451/-0.660	ns
数据/控制Pin到输出register clk的setup和hold时间					
Y-> postadd unit register CLK setup/hold	NA	Yes	Yes	2.606/-0.681	ns
X-> postadd unit register CLK setup/hold	NO	Yes	Yes	2.643/-0.701	ns
X-> postadd unit register CLK setup/hold	Yes	Yes	Yes	3.129/-0.840	ns
Z-> postadd unit register CLK setup/hold	Yes	Yes	Yes	3.165/-0.931	ns
Z-> postadd unit register CLK setup/hold	NA	NA	Yes	2.713/-0.415	ns
CPI -> postadd unit register CLK setup/hold	NA	NA	Yes	2.200/-0.226	ns
从各级register clk到APM输出Pin时间					
postadd unit register CLK ->P output	NA	NA	NA	0.884	ns
Multiplier unit register CLK -> Poutput	NA	NA	Yes	0.881	ns
pretadd unit register CLK -> DPO output	Yes	Yes	Yes	2.559	ns
Z input unit register CLK -> DPO output	No	No	Yes	1.728	ns
从数据/控制Pin到APM输出Pin组合逻辑延时					
Y-> Poutput	NA	Yes	NO	2.474	ns
Y->P output	NA	Yes	Yes	3.068	ns
X ->P output	No	Yes	No	2.094	ns
X ->P output	Yes	Yes	NO	2.474	ns
X -> Poutput	Yes	Yes	Yes	3.068	ns
Z -> P output	Yes	Yes	Yes	3.068	ns
CPI -> P output	NA	NA	Yes	2.107	ns

注：上表数据以PDS的时序报告为准

4.5 PLL交流特性参数

表 28 PLL交流特性

参数	描述	最小值	典型值	最大值	单位
F_{in}	PLL输入参考频率	5		625	MHz
t_{RST_PLL}	PLL初始化高电平复位信号宽度	0.3			MS
Fpfd	PFD输入频率	5		320	MHz
Fsw	输入时钟自动切换功能支持时，PLL输入参考时钟支持的频率			320	MHz
F_{out}	PLL输出时钟频率	1.172		625	MHz
F_{vco}	VCO工作范围	600		1250	MHz
t_{fpa}	精调相位误差 (CLKOUT1 所有设置)	-50	0	50	ps
t_{OPW}	输出时钟宽度（高或低）	0.8			ns
t_{OPJIT}	输出时钟 period jitter f_{OUT}>= 100MHz)			300	ps p-p
	输出时钟 period jitter (f_{OUT}< 100MHz)			0.03	UIPP
t_{OPJIT_cyc}	输出时钟 cycle-to-cycle jitter (f_{OUT}>=100MHz)			300	ps p-p
	输出时钟 cycle-to-cycle jitter (f_{OUT}< 100MHz)			0.03	UIPP
t_{LOCK}	Lock time(5 – 320 MHz)			200	us
输入时钟要求					
t_{IPJIT_cyc}	输入时钟 cycle-to-cycle jitter (f_{PFD}>=100MHz)			0.15	UIPP
	输入时钟 cycle-to-cycle jitter (f_{PFD}<100MHz)			750	ps p-p
IN DUTY CYCLE	输入时钟占空比	40%		60%	-
OUT DUTY CYCLE	输出时钟占空比(CLKOUT1, at 50% 设置)	45%	50%	55%	-

4.6 DQS交流特性参数

DQS相位调整的单步相位偏移值如下表：

表 29 DQS 交流特性

类别	速度等级	交流特性参数描述			单位
		最小值	典型值	最大值	
DQS	-6	15	25	34	ps

4.7 全局时钟网络交流特性参数

表 30 全局时钟网络交流特性

名称	描述	最大频率	最大 SKEW
		-6	-6
GLOBAL CLK	全局时钟网络	400MHZ	200PS

4.8 区域时钟网络交流特性参数

表 31 区域时钟网络交流特性

名称	描述	最大频率	最大 SKEW
		-6	-6
REGIONAL CLK	区域时钟网络	400MHZ	200PS

4.9 IO时钟网络交流特性参数

表 32 IO时钟网络交流特性

名称	描述	最大频率	最大 SKEW
		-6	-6
IO CLK	IO时钟网络	470	60PS

4.10 配置和编程交流特性参数

4.10.1 Power-up Timing特性

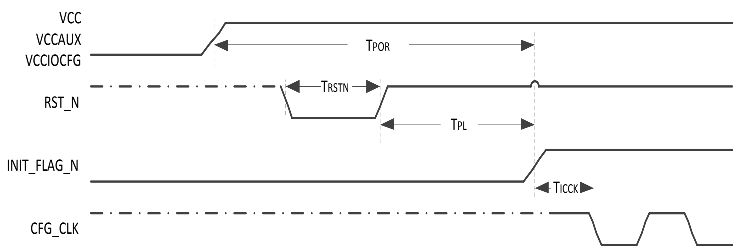


图 2器件Power-up Timing特性

表 33 Power-up Timing特性参数

名称	描述	数值	属性	单位
T_{PL}	Program Latency	0.6	最大	ms,
T_{POR}	Power-on-Reset	10.6	最大	ms
T_{ICCK}	CFG_CLK输出延时	400	最大	ns
T_{RSTN}	RST_N低脉冲宽度	384	最小	ns

4.10.2 各下载模式交流特性

表 34 Logos系列FPGA支持的各下载模式的交流特性

类别	交流特性参数描述	数值	单位	属性	备注
JTAG	TCK频率	50	MHz	最大	使用下载线下载时，受限于下载线速率
	TCK低脉宽	10	ns	最小	
	TCK高脉宽	10	ns	最小	
	TMS/TDI建立时间（TCK上升沿）	2	ns	最小	
	TMS保持时间（TCK上升沿）	1	ns	最小	
	TDI保持时间（TCK上升沿）	6	ns	最小	
	TCK下降沿到TDO输出有效	7	ns	最大	
Serial Slave	CFG_CLK频率	100	MHz	最大	下载时钟来自外部Host设备
	CFG_CLK低脉宽	5	ns	最小	
	CFG_CLK高脉宽	5	ns	最小	
	D[1]建立时间（CFG_CLK上升沿）	2	ns	最小	
	D[1]保持时间（CFG_CLK上升沿）	1	ns	最小	
	CFG_CLK下降沿到daisy_o输出有效	7.5	ns	最大	
Parallel Slave	CFG_CLK频率	100	MHz	最大	下载时钟来自外部Host设备
	CFG_CLK低脉宽	2.5	ns	最小	
	CFG_CLK高脉宽	2.5	ns	最小	
	D[31:0]建立时间（CFG_CLK上升沿）	4	ns	最小	
	D[31:0]保持时间（CFG_CLK上升沿）	1	ns	最小	
	CS_N/RDWR_N建立时间（CFG_CLK上升沿）	3	ns	最小	
	CS_N/RDWR_N/保持时间（CFG_CLK上升沿）	1	ns	最小	
	CFG_CLK上升沿到D[31:0]输出有效	9	ns	最大	
	CFG_CLK上升沿到BUSY输出有效	8	ns	最大	
	CS_N到daisy_o输出延迟	7	ns	最大	
SPI Slave	CFG_CLK频率	100	MHz	最大	下载时钟来自外部Host设备。。
	CFG_CLK低脉宽	2.5	ns	最小	
	CFG_CLK高脉宽	2.5	ns	最小	
	CS_N/D[3]/D[0]建立时间（CFG_CLK上升沿）	3	ns	最小	
	CS_N/D[3]/D[0]保持时间（CFG_CLK上升沿）	1	ns	最小	
	CFG_CLK下降沿到d[1]输出有效	8	ns	最大	
	CFG_CLK下降沿到daisy_o输出有效	8	ns	最大	

类别	交流特性参数描述	数值	单位	属性	备注
SPI Master	CFG_CLK频率	50	MHz	最大	速率默认为12.5MHz
	CFG_CLK占空比	45%/55%		最小/最大	
	CFG_CLK频率偏差	20%		最大	
	D[7:0]建立时间（CFG_CLK上升沿）	8	ns	最小	
	D[7:0]保持时间（CFG_CLK上升沿）	0	ns	最小	
	D[7:0]建立时间（CFG_CLK下降沿）	8	ns	最小	
	D[7:0]保持时间（CFG_CLK下降沿）	0	ns	最小	
	CFG_CLK下降沿到d[0]/d[4]输出有效	2	ns	最大	
	CFG_CLK下降沿到fcs_n/fcs2_n输出有效	2	ns	最大	
	CFG_CLK下降沿到daisy_o输出有效	1	ns	最大	
BPI Master	CFG_CLK频率(异步低速)	10	MHz	最大	
	CFG_CLK频率(异步高速)	33	MHz	最大	
	CFG_CLK频率同步低速)	25	MHz	最大	
	CFG_CLK频率(同步高速)	50	MHz	最大	
	CFG_CLK占空比	45%/55%		最小/最大	
	CFG_CLK频率偏差	20%		最大	
	d[15:0]建立时间（CFG_CLK上升沿）	8	ns	最小	
	d[15:0]保持时间（CFG_CLK上升沿）	0	ns	最小	
	d[15:0]建立时间（CFG_CLK下降沿）	8	ns	最小	
	d[15:0]保持时间（CFG_CLK下降沿）	0	ns	最小	
	CFG_CLK下降沿到d[31:0]/adr[31:16]输出有效	3	ns	最大	
	CFG_CLK下降沿到fce_n/fwe_n/foe_n/adv_n输出有效	2	ns	最大	
	CFG_CLK下降沿到daisy_o输出有效	1	ns	最大	
内部并行从模式	ipal_clk频率	100	MHz	最大	
	IPAL_CLK低脉宽	2.5	ns	最小	
	IPAL_CLK高脉宽	2.5	ns	最小	
	IPAL_CS_N/IPAL_RDWR_N/IPAL_DIN[31:0]建立时间（IPAL_CLK上升沿）	2	ns	最小	
	IPAL_CS_N/IPAL_RDWR_N/IPAL_DIN[31:0]保持时间（IPAL_CLK上升沿）	1	ns	最小	
	IPAL_CLK上升沿到IPAL_DOUT[31:0]/IPAL_BUSY输出有效	4	ns	最大	
	IPAL_CLK上升沿到RBCRC_VALID/SEU_VALID输出有效	2	ns	最大	

类别	交流特性参数描述	数值	单位	属性	备注
主内部SPI模式	CFG_I_FCLK频率	70	MHz	最大	
	CFG_I_FCLK占空比	45%/55%		最小/最大	
	CFG_I_FCLK频率偏差	20%		最大	
	i_d[3:0]建立时间（CFG_I_FCLK上升沿）	6	ns	最小	
	i_d[3:0]保持时间（CFG_I_FCLK上升沿）	0	ns	最小	
	i_d[3:0]建立时间（CFG_I_FCLK下降沿）	6	ns	最小	
	i_d[3:0]保持时间（CFG_I_FCLK下降沿）	0	ns	最小	
	CFG_I_FCLK下降沿到i_d[0]输出有效	1	ns	最大	
	CFG_I_FCLK下降沿到i_fcs_n输出有效	1	ns	最大	

5 性能参数

本章列举实现Logos系列FPGA常见应用的performance特性。

5.1 LVDS性能参数

表 35 LVDS性能

描述	IO 资源	最大速率	单位
		-6	
DDR LVDS Transmitter	OSERDES(DATA _WIDTH =7TO 8)	800	Mbps
DDR LVDS Receiver	ISERDES(DATA _WIDTH =7 TO 8)	800	Mbps

5.2 MIPI性能参数

表 36 MIPI性能

描述	最大速率	单位
	-6	
MIPI Receiver	800	Mbps
MIPI Transmitter	800	Mbps

5.3 存储接口性能参数

表 37 存储接口性能

名称	描述	硬核最大速率	软核最大速率	单位
		-6	-6	
DDR3	DDR3 接口	800	800	Mbps
DDR2	DDR2 接口	667	--	Mbps
DDR	DDR 接口	533	--	Mbps
LPDDR	LPDDR 接口	300	--	Mbps

5.4 DRM性能参数

表 38 DRM性能

类别	模式描述	性能（MHz）
		-6
$F_{max_DRM9K_NW}$	DRM(NW 模式&读寄存器使能）@ 9K 存储器模式	300
$F_{max_DRM9K_TW}$	DRM(TW 模式&读寄存器使能）@ 9K 存储器模式	300
$F_{max_DRM9K_RBW}$	DRM(RBW 模式&读寄存器使能）@ 9K 存储器模式	200
$F_{max_DRM18K_NW}$	DRM(NW 模式&读寄存器使能）@ 18K 存储器模式	300
$F_{max_DRM18K_TW}$	DRM(TW 模式&读寄存器使能）@ 18K 存储器模式	300
$F_{max_DRM18K_RBW}$	DRM(RBW 模式&读寄存器使能）@ 18K 存储器模式	200
$F_{max_DRM_AFIFO}$	DRM(异步 FIFO 模式&读寄存器使能）	275
$F_{max_DRM_SFIFO}$	DRM(同步 FIFO 模式&读寄存器使能）	275

5.5 APM性能参数

表 39 APM性能

条件	性能（MHz）
	-6
All registers used（使用APM每一级的寄存器）	400
Only use INREG and PREG（只使用APM的输入输出寄存器）	200
No regiesrer used （不使用寄存器）	100

6 ADC特性参数

本章主要介绍Logos系列FPGA的ADC硬核的特性参数，如表 40所示。

表 40 ADC硬核特性

参数	描述	最小值	典型值	最大值	单位
VCCAUX_A	模拟供电电压	2.97	3.3	3.63	V
VCC	数字供电电压	0.99	1.1	1.21	V
IVCCAUXA	模拟供电电流		1.5		mA
Resolution	分辨率		10		bit
Sample Rate	1M模式：		1		MSPS
	默认扫描模式；			0.015	MSPS
Channel	通道			12	
Voltage Reference	参考电压（内部或外部）		2.5		V
Offset Error	失调误差 (Bipolar)		±4		LSB
Gain Error	增益误差（外部参考电压）		±0. 3		%FS
DNL	Differential Nonlinear （FS>=1V时）		±1		LSB
INL	Integeral Nonlinear		±3		LSB
SNR	Signal to Noise Ratio（bipolar 全差分模式）	52			dB
Temperature Measurement	温度检测		-40~85℃：±4；85~105℃：±6；105~125℃：±8；		℃

注：ADC的1.1V数字电源消耗较少电流

7 器件静态电流

表 41 静态电流

名称	描述	器件	速度等级	单位
			-6	
I_{vcc}	内核供电静态电流	PGL12G	13	mA
		PGL22G	19	mA
		PGL25G	28	mA
		PGL50G	45	mA
		PGL50H	48	mA
I_{vccio}	BANK电压静态电流	PGL12G	3	mA
		PGL22G	3	mA
		PGL25G	3	mA
		PGL50G	3	mA
		PGL50H	3	mA
I_{vccaux_a}	辅助电压VCCAUX_A静态电流	PGL12G	2	mA
		PGL22G	2	mA
I_{vccaux}	辅助电压VCCAUX（3.3V）静态电流	PGL12G	11	mA
		PGL22G	32	mA
		PGL25G	9	mA
		PGL50G	8	mA
		PGL50H	8	mA

注：1、以上静态电流值为常压，Tj=25℃下测试所得，对于100℃可以采用分析工具 PPP 和 PPC来评估，对于PGL12G、PGL22G内核电压采用1.1V,PGL25G内核采用1.2V。
2、以上数据是在空白器件，没有输出电流负载，没有上拉内部电阻，所有的I/O处于三态时测试所得

8 高速串行收发器（HSSTLP）特性

本章主要介绍Logos系列FPGA的HSSTLP硬核的特性，主要包括绝对极限额定电压/电流、推荐工作条件、AC/DC特性以及支持典型协议工作模式下的特性。

8.1 HSSTLP硬核绝对极限电压

表 42 HSSTLP绝对极限电压

名称	最小值	最大值	单位	说明
VCCA_LANE	–0.5	1.32	V	HSST模拟电源1.2V电压
VCCA_PLL_0	–0.5	1.32	V	HSST PLL模拟电源1.2V电压
VCCA_PLL_1	–0.5	1.32	V	HSST PLL模拟电源1.2V电压

注：超过上述极限额定值可能导致器件永久性损坏。

8.2 HSSTLP硬核推荐工作条件

下表列出Logos系列FPGA的HSSTLP硬核推荐工作电压。

表 43 HSSTLP硬核推荐工作条件

名称	最小值	典型值	最大值	单位	说明
电压值					
VCCA_LANE	1.14	1.2	1.26	V	HSST模拟电源1.2V电压
VCCA_PLL_0	1.14	1.2	1.26	V	HSST PLL模拟电源1.2V电压
VCCA_PLL_0	1.14	1.2	1.26	V	HSST PLL模拟电源1.2V电压

8.3 HSSTLP硬核DC直流特性参数

表 44 HSSTLP硬核DC直流特性

名称	最小	典型	最大	单位	条件	说明
输入和输出信号DC直流特性						
HSST_V_{DINPP}	150	-	1000	mV	外部AC交流耦合	差分输入峰峰电压
HSST_V_{DIN}	0	-	VCCA_LANE	mV	直流耦合，VCCA_LANE =1.2V	输入绝对电压值
HSST_V_{INCM}	-	3/4 VCCA_LANE	-	mV	直流耦合，VCCA_LANE =1.2V	共模输入电压值
HSST_V_{DOUTPP}	800	-	-	mV	摆幅设置最大	差分输出峰峰电压
HSST_$V_{OUTCMDC}$	VCCA_LANE–HSST_V_{DOUTPP} /4			mV	DC共模输出电压，是发送端悬空的情况	
HSST_$V_{OUTCMAC}$	1/2 VCCA_LANE			mV	共模输出电压值:外部AC交流耦合	
HSST_R_{DIN}	-	100	-	Ω	差分输入阻值	
HSST_R_{DOUT}	-	100	-	Ω	差分输出阻值	
HSST_TX_{SKEW}	-	-	14	ps	Tx输出的P端和N端skew	
HSST_C_{DEXT}	-	100	-	nF	推荐外部AC交流耦合电容值	
参考时钟输入DC直流特性						
HSST_V_{RCLKPP}	400	-	2000	mV	差分输入峰峰电压	
HSST_R_{RCLK}	-	100	-	Ω	差分输入阻值	
HSST_$C_{RCLKEXT}$	-	100	-	nF	推荐外部AC交流耦合电容值	

8.4 高速串行收发器HSSTLP的AC交流特性

HSSTLP硬核的的AC交流特性如表45至表50所示。

表 45 HSST硬核性能参数

名称	等级	单位	说明
	-6		
HSST_Fmax	6.375	Gbps	HSST最大的数据速率
HSST_Fmin	0.6	Gbps	HSST最小的数据速率
HSST_Fpllmax	3.1875	GHz	HSST PLL的最大频率
HSST_Fpllmin	2.125	GHz	HSST PLL的最小频率

HSSTLP参考时钟开关特性如下表所示。

表 46 HSSTLP硬核参考时钟开关特性

名称	数值			单位	条件	说明
	最小	典型值	最大			
$HSST_F_{REFCLK}$	85	-	312.5	MHz	参考时钟频率范围	
$HSST_T_{RCLK}$	-	200	-	ps	20%-80%	参考时钟上升时间
$HSST_T_{FCLK}$	-	200	-	ps	80%-20%	参考时钟下降时间
$HSST_T_{RATIO}$	45	50	55	%	PLL	参考时钟占空比

表 47 HSSTLP硬核PLL/Lock锁定时间特性

名称	数值			单位	条件	说明
	最小	典型值	最大			
$HSST_T_{PLLLOCK}$	-	-	1.5	ms		PLL锁定时间,从复位释放到锁定的时间
$HSST_T_{CDRLOCK}$	-	60,000	2,500,000	UI	PLL 锁到参考时钟后，到切换到有外部输入数据后，CDR 锁定的时间	CDR锁定时间

HSST硬核用户时钟开关特性如下表所示

表 48 HSSTLP硬核用户时钟开关特性

名称	频率	单位	说明
数据接口时钟开关特性			
$HSST_F_{T2C}$	160	MHz	P_CLK2CORE_TX的最大频率
$HSST_F_{R2C}$	160	MHz	P_CLK2CORE_RX的最大频率
$HSST_F_{TFC}$	160	MHz	P_TX_CLK_FR_CORE的最大频率
$HSST_F_{RFC}$	160	MHz	P_RX_CLK_FR_CORE的最大频率
APB 动态配置接口时钟开关特性			
$HSST_F_{APB}$	100	MHz	APB CLK 最大频率

HSST硬核Transmitter发送侧开关特性如下表所示。

表 49 HSSTLP硬核Transmitter发送侧开关特性

名称	最小	典型	最大	单位	条件	说明
$HSST_T_{TXR}$	-	100	-	ps	20%-80%	TX 上升时间
$HSST_T_{TXF}$	-	100	-	ps	80%-20%	TX 下降时间
$HSST_T_{CHSKEW}$	-	-	500	ps	-	TX 通道间 skew
$HSST_V_{TXIDLEAMP}$	-	-	30	mV	-	Electrical idle 幅值
$HSST_V_{TXIDLETIME}$	-	-	150	ns	-	Electrical idle 过渡时间
$HSST_TJ_{0.6G}$	-	-	0.1	UI	0.6Gbps	Total Jitter
$HSST_DJ_{0.6G}$	-	-	0.05	UI		Deterministic Jitter
$HSST_TJ_{1.25G}$	-	-	0.1	UI	1.25Gbps	Total Jitter
$HSST_DJ_{1.25G}$	-	-	0.05	UI		Deterministic Jitter
$HSST_TJ_{2.5G}$	-	-	0.2	UI	2.5Gbps	Total Jitter
$HSST_DJ_{2.5G}$	-	-	0.08	UI		Deterministic Jitter
$HSST_TJ_{3.125G}$	-	-	0.2	UI	3.125Gbps	Total Jitter
$HSST_DJ_{3.125G}$	-	-	0.08	UI		Deterministic Jitter
$HSST_TJ_{5.0G}$	-	-	0.3	UI	5.0Gbps	Total Jitter
$HSST_DJ_{5.0G}$	-	-	0.1	UI		Deterministic Jitter
$HSST_TJ_{6.375G}$	-	-	0.4	UI	6.375Gbps	Total Jitter
$HSST_DJ_{6.375G}$	-	-	0.15	UI		Deterministic Jitter

HSST硬核Receiver接收侧开关特性如下表所示。

表 50 HSSTLP硬核Receiver接收侧开关特性

名称	最小	典型	最大	单位	说明
$HSST_T_{RXIDLETIME}$	-		34	ns	RXELECIDLE状态到LOS信号响应的时间
$HSST_RX_{VPPOOB}$	60	-	150	mV	OOB检测门限峰峰值
$HSST_RX_{TRACK}$	-5000	-	0	ppm	接收端扩频跟随，调制频率33kHz
$HSST_RX_{LENGTH}$	-	-	150	UI	支持RX连续长0或长1的长度
$HSST_RX_{TOLERANCE}$	-1500	-	1500	ppm	数据/参考时钟的频偏容限
正弦抖动容限					
HSST_SJ_0.6	TBD	-	-	UI	正弦抖动(1)，0.6Gbps
HSST_SJ_1.25	0.42	-	-	UI	正弦抖动(1)，1.25Gbps
HSST_SJ_2.5	0.42	-	-	UI	正弦抖动(1)，2.5Gbps
HSST_SJ_3.125	0.4	-	-	UI	正弦抖动(1)，3.125Gbps

HSST_SJ_5.0	0.4	-	-	UI	正弦抖动(1)，5.0Gbps
HSST_SJ_6.375	0.3	-	-	UI	正弦抖动(1)，6.375Gbps

注：1.注入的正弦抖动的频率为10MHz

9 PCIe硬核特性

表 51 PCIe性能参数

名称	数值	单位	说明
Fpclk	250	MHz	PCIe 内核最大时钟频率
Fpclk_div2	125	MHz	用户接口最大时钟频率

使用操作规程及注意事项

器件必须采取防静电措施进行操作。取用芯片时应佩戴防静电手套，防止人体电荷对芯片的静电冲击，损坏芯片。将芯片插入电路板上的底座时以及将芯片从电路板上的底座取出时，应注意施力方向以确保芯片管脚均匀受力。不要因为用力过猛，损坏芯片管脚，导致无法使用。

推荐下列操作措施：

a) 器件应在防静电的工作台上操作，或带指套操作；

b) 试验设备和器具应接地；

c) 不能触摸器件引线；

d) 器件应存放在导电材料制成的容器中；

e) 生产、测试、使用以及转运过程中应避免使用引起静电的塑料、橡胶或丝织物；

f) 相对湿度尽可能保持在50%±30%以上。

10 运输与储存

建议芯片存储环境是：温度为20℃—35℃，相对湿度50%±20%。

使用指定的防潮防静电袋子（MBB）密封，且袋子中置有干燥剂和温度指示卡；在运输过程中，确保芯片不要与外物发生碰撞。

11 开箱与检查

开箱使用芯片时，请注意观察芯片管壳上的产品标识。确定产品标识清晰，无污迹，无擦痕。同时，注意检查芯片管壳及引脚。确定管壳无损坏，无伤痕，管脚整齐，无缺失，无变形。

12 质量保障与售后服务

深圳市紫光同创电子有限公司,系紫光集团下属子公司，专业从事可编程逻辑器件(FPGA、CPLD等)研发与生产销售，是中国FPGA领先厂商，致力于为客户提供完善的、具有自主知识产权的可编程逻辑器件平台和系统解决方案，是紫光集团“芯云战略”中“芯”的重要组成之一。

紫光同创注册资本3亿元，是国家高新技术企业，产品市场覆盖通信网络、工业控制、视频监控、消费电子等领域。

紫光同创立足中国大陆，总部设在深圳，拥有上海、北京等分公司，公司人数超过400人，研发人员占比超过85%，拥有专利近200项、发明及软著专利占比约85%。公司汇聚全球专家人才资源，打造FPGA优良生态圈环境。

13 联系我们

公司名称：深圳市紫光同创电子有限公司

官网Web Site：：http://www.pangomicro.com

公司地址：深圳市南山区高新技术产业园高新南一道15号

电话Tel：86-755-66886188

传真Fax：86-755-86363368

邮编Zip：518057

电子邮件Email：market@pangomicro.com